



(19)

(11) Publication number: **11297712 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10099224

(51) Intl. Cl.: H01L 21/336 H01L 21/316 H01L 29/78

(22) Application date: 10.04.98

(30) Priority:

(43) Date of application
publication: 29.10.99(84) Designated
contracting states:

(71) Applicant: SANYO ELECTRIC CO LTD

(72) Inventor: KAWAGUCHI KENICHI

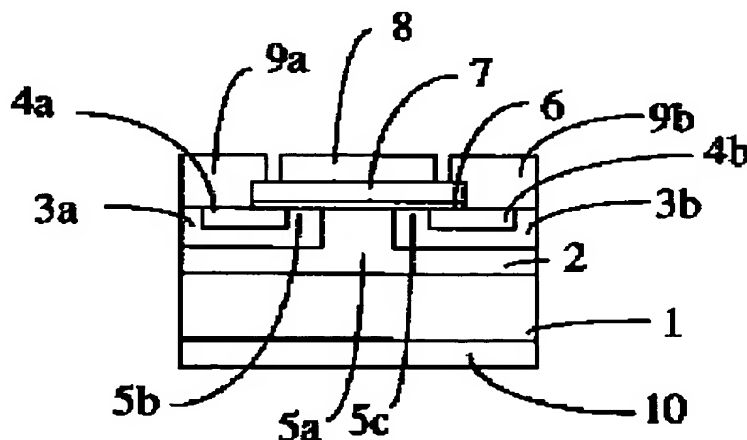
(74) Representative:

**(54) FORMATION METHOD
FOR COMPOUND FILM AND
MANUFACTURE OF
SEMICONDUCTOR ELEMENT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the formation method of a compound film for forming a satisfactory compound film, in a short time, while turning a boundary between a semiconductor and the compound film formed on it into a satisfactory state and the manufacturing method of a semiconductor element using it.

SOLUTION: This forming method of a compound film is provided with a process for exposing the surfaces of semiconductors 2, 3a, 3b, 4a and 4b to atmospheric gas for forming a compound composed by combining with the constituent elements which constitute the semiconductor and forming a compound thin film 6 on the surfaces of the semiconductors 2, 3a, 3b, 4a and 4b and a process for forming a compound film 7 through a vapor phase formation method on the compound thin film 6.



COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-297712

(43)公開日 平成11年(1999)10月29日

(51)Int.Cl. ⁶	識別記号	F I
H 0 1 L 21/336		H 0 1 L 29/78 6 5 8 F
21/316		21/316 S
		M
29/78		29/78 3 0 1 G
		6 5 2 T
審査請求 未請求 請求項の数9 O L (全 8 頁)		

(21)出願番号 特願平10-99224

(22)出願日 平成10年(1998)4月10日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 川口 健一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

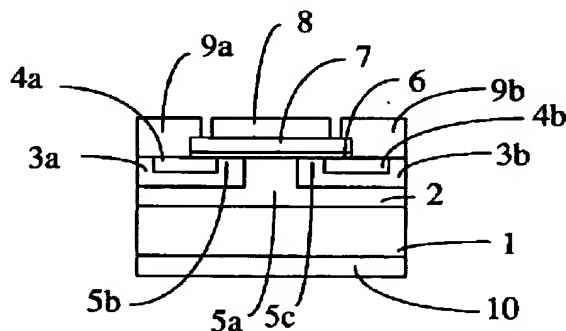
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 化合物膜の形成方法及び半導体素子の製造方法

(57)【要約】

【課題】 本発明は、半導体とその上に形成される化合物膜の間の界面を良好な状態としつつ、良好な化合物膜を短時間で形成する化合物膜の形成方法及びこれを用いた半導体素子の製造方法を提供することが課題である。

【解決手段】 半導体2、3a、3b、4a、4bの表面に該半導体が構成する構成元素と化合してなる化合物を形成させるための雰囲気ガスを晒し、半導体2、3a、3b、4a、4bの表面に化合物薄膜6を形成する工程と、化合物薄膜6上に気相形成法により化合物膜7を形成する工程と、を備える。



【特許請求の範囲】

【請求項1】 半導体表面に該半導体が構成する構成元素と化合してなる化合物を形成させるための雰囲気ガスを晒し、前記半導体表面に化合物薄膜を形成する工程と、前記化合物薄膜上に気相形成法により化合物膜を形成する工程と、を備えることを特徴とする化合物膜の形成方法。

【請求項2】 半導体表面を該表面の不飽和結合を終端するための雰囲気ガスを晒し、前記半導体表面に化合物薄膜を形成する工程と、前記化合物薄膜上に気相形成法により化合物膜を形成する工程と、を備えることを特徴とする化合物膜の形成方法。

【請求項3】 炭化ケイ素からなる半導体の表面を酸化し、該炭化ケイ素の表面に酸化ケイ素からなる化合物薄膜を形成する工程と、該酸化ケイ素からなる化合物薄膜上に気相形成法により化合物膜を形成する工程と、を備えることを特徴とする化合物膜の形成方法。

【請求項4】 前記化合物膜は、酸化ケイ素からなることを特徴とする請求項3記載の化合物膜の形成方法。

【請求項5】 前記化合物薄膜の膜厚は、前記化合物膜の膜厚に比べて小さいことを特徴とする請求項1～4のいずれかに記載の化合物膜の形成方法。

【請求項6】 前記表面はステップ形状を有することを特徴とする請求項1～5のいずれかに記載の化合物膜の形成方法。

【請求項7】 前記化合物薄膜と前記化合物膜のうち、少なくとも該化合物膜は絶縁膜であることを特徴とする1～6のいずれかに記載の化合物膜の形成方法。

【請求項8】 前記請求項1～7のいずれかに記載の化合物膜の形成方法を用いて半導体素子を形成する半導体素子の製造方法であって、前記半導体の表面に前記化合物薄膜を形成する工程と、該化合物薄膜上に気相形成法により前記化合物膜を形成する工程と、を備えることを特徴とする半導体素子の製造方法。

【請求項9】 前記半導体素子は電解効果型半導体素子であって、チャンネル上の前記半導体の表面にゲート絶縁膜としての前記化合物薄膜を形成する工程と、該化合物薄膜上に気相形成法によりゲート絶縁膜としての前記化合物膜を形成する工程と、を備えることを特徴とする請求項8記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は化合物膜の形成方法及び半導体素子の製造方法に関する。

【0002】

【従来の技術】近年、炭化ケイ素の半導体素子が耐環境性素子、パワー素子として活発に研究開発されている。

【0003】斯る炭化ケイ素の半導体素子として、電解効果型半導体素子(FET)、特にMOS-FETが注目浴びている。

【0004】このMOS-FETのチャンネルとゲート電極の間に形成される絶縁膜(ゲート絶縁膜)には、通常、炭化ケイ素表面を熱酸化して形成される酸化ケイ素(SiO_2)膜が使用されるか、またはCVD法(化学蒸着法)により形成される酸化ケイ素膜が使用される。

【0005】

【発明が解決しようとする課題】しかしながら、前記ゲート絶縁膜は耐電圧等の関係から所定厚以上の厚みが必要となるが、熱酸化法による酸化ケイ素膜の形成方法では、その酸化ケイ素膜の膜厚が大きくなるにしたがって、チャンネル上となる炭化ケイ素表面、即ち炭化ケイ素表面とこの上に形成される酸化ケイ素膜の間の界面の乱れが大きくなる。

【0006】この結果、チャンネルを通過する電子の速度が遅くなり、十分な素子特性が得られないといった問題が生じる。

【0007】更に、熱酸化法では、酸化膜の成長が遅く、製造に時間を要するといった問題が生じる。

【0008】しかも、炭化ケイ素の表面に酸化ケイ素膜を形成する場合、炭化ケイ素を構成する炭素と炭化ケイ素表面を酸化させるために供給される酸素とが結合して CO_x (x は0以上)が発生するが、酸化ケイ素膜の厚みが増すと、上記 CO_x が酸化ケイ素膜から外部への拡散が十分でなくなる。この結果として、この CO_x に起因して炭化ケイ素表面と前記酸化ケイ素膜の間の界面近傍に炭素を含む析出物が生成されると共に、酸化ケイ素膜の成長進行が妨げられ、また酸化ケイ素膜中に CO_x が混入するといった問題が起こる。

【0009】また、CVD法等の気相成長法による酸化ケイ素膜などの絶縁膜は、成長面において不飽和結合(共有結合結晶の場合、ダングリングボンドと呼ばれる)が存在する場合、成長面と形成した絶縁膜の間の界面、絶縁膜の特性が劣化するという問題がある。

【0010】本発明は上述の問題点を鑑み成されたものであり、半導体とその上に形成される化合物膜の間の界面を良好な状態としつつ、良好な化合物膜を短時間で形成する化合物膜の形成方法とこれを用いた半導体素子の製造方法を提供することが目的である。

【0011】

【課題を解決するための手段】本発明の化合物膜の形成方法は、半導体表面に該半導体が構成する構成元素と化合してなる化合物を形成させるための雰囲気ガスを晒し、前記半導体表面に化合物薄膜を形成する工程と、前記化合物薄膜上に気相形成法により化合物膜を形成する工程と、を備えることを特徴とする。

【0012】本発明では、半導体が構成する構成元素と化合してなる化合物を形成させるための雰囲気ガスを晒し、前記半導体表面に形成する化合物薄膜の膜厚が小さいので、半導体と化合物薄膜の間の界面の乱れを小さく抑制できる。

【0013】更に、前記化合物薄膜は膜厚は小さいので、前記半導体と前記雰囲気ガスとが反応して生じる不所望なガスはこの膜厚の薄い化合物薄膜から外部へ放出されるので、前記半導体と前記化合物薄膜の間の界面近傍に生じる不所望な析出物の発生を抑制できる。

【0014】しかも、半導体が構成する構成元素と化合してなる化合物を形成させるための雰囲気ガスにより不飽和結合は終端されるので、不飽和結合の存在が低減される。この結果、半導体と化合物薄膜との界面、化合物薄膜と化合物膜との界面、該化合物薄膜上に形成される化合物膜が良好なものとなる。

【0015】そして、成長速度の遅い形成方法で形成される化合物薄膜の膜厚を小さくし、成長速度の大きい気相成長法で形成される化合物膜の膜厚を大きくしているので、前記半導体と前記化合物薄膜の間の界面を良好にしつつ、所定の膜厚をもつ良好な化合物膜の製造時間を短くできる。

【0016】本発明の化合物膜の形成方法は、半導体表面を該表面の不飽和結合を終端するための雰囲気ガスに晒し、前記半導体表面に化合物薄膜を形成する工程と、前記化合物薄膜上に気相形成法により化合物膜を形成する工程と、を備えることを特徴とする。

【0017】本発明では、半導体表面を該表面の不飽和結合を終端するための雰囲気ガスに晒し、前記半導体表面に形成する化合物薄膜は膜厚が小さいので、半導体と化合物薄膜の間の界面の乱れを小さく抑制できると共に、不飽和結合の存在が低減されるので、化合物薄膜上に形成される化合物膜が良好なものとなる。

【0018】更に、前記化合物薄膜は膜厚は小さいので、前記半導体と前記雰囲気ガスとが反応して生じる不所望なガスは、この膜厚の薄い化合物薄膜から外部へ放出されるので、前記半導体と前記化合物薄膜の間の界面近傍に生じる不所望な析出物の発生を抑制できる。

【0019】そして、成長速度の遅い形成方法で形成される化合物薄膜の膜厚を小さくし、成長速度の大きい気相成長法で形成される化合物膜の膜厚を大きくしているので、前記半導体と前記化合物薄膜の間の界面を良好にしつつ、所定の膜厚をもつ良好な化合物膜の製造時間を短くできる。

【0020】本発明の化合物膜の形成方法は、炭化ケイ素からなる半導体の表面を酸化し、該炭化ケイ素の表面に酸化ケイ素からなる化合物薄膜を形成する工程と、該酸化ケイ素からなる化合物薄膜上に気相形成法により化合物膜を形成する工程と、を備えることを特徴とする。

【0021】本発明では、酸化ケイ素からなる化合物薄膜は膜厚が小さいので、炭化ケイ素表面と酸化ケイ素膜の間の界面の乱れを小さく抑制できる。

【0022】更に、前記酸化ケイ素膜の膜厚は小さいので、炭化ケイ素と酸化ガスとが反応して生じるCO₂などのガスは、この膜厚の薄い酸化ケイ素膜から外部へ放

出されるので、前記炭化ケイ素表面と前記酸化ケイ素膜の間の界面近傍に生じる不所望な析出物の発生を抑制できる。

【0023】しかも、前記酸化ガスにより不飽和結合は終端されるので、不飽和結合の存在が低減される。この結果、炭化ケイ素と酸化ケイ素膜との界面、酸化ケイ素膜と化合物膜との界面、該酸化ケイ素膜上に形成される化合物膜が良好なものとなる。

【0024】そして、成長速度の遅い形成方法、例えば熱酸化法で形成される酸化ケイ素膜の膜厚を小さくし、成長速度の大きい形成方法で形成される化合物膜の膜厚を大きくしているので、前記炭化ケイ素と前記酸化ケイ素膜の間の界面を良好にしつつ、所定膜厚をもつ良好な化合物膜の製造時間を短くできる。

【0025】特に、前記化合物膜は、酸化ケイ素からなることを特徴とする。

【0026】前記化合物膜としては、AlNなどを用いることも可能であるが、酸化ケイ素膜上に形成される化合物膜が酸化ケイ素である場合、同材料であるので、より良好な化合物膜が形成される。

【0027】特に、前記化合物薄膜の膜厚は、前記化合物膜の膜厚に比べて小さいことを特徴とする。

【0028】更に、前記表面はステップ状形状を有することを特徴とする。

【0029】この場合、基板としてオフ基板（傾斜基板：低指数面から傾斜した面をもつ基板）を用いればよい。

【0030】また、前記化合物薄膜と前記化合物膜のうち、少なくとも該化合物膜は絶縁膜であることを特徴とする。特に、前記化合物薄膜と前記化合物膜の両方とも絶縁膜であってよい。

【0031】前記化合物薄膜が酸化物薄膜である場合は、その製造には酸化ガス（酸素、オゾン、NO₂、又は酸素と水蒸気の混合ガスなど）又は原子状酸素、酸素イオンなどの酸化種（活性種）などの雰囲気ガス中でアニール処理する熱酸化法が用いられ、窒化物薄膜である場合は、その製造にはN₂、NH₃などの窒化ガスの雰囲気ガス中でアニール処理する方法が用いられる。

【0032】また、上述の気相成長法には、CVD法、スパッタリング法、蒸着法、反応性蒸着法、MBE法などを適宜利用できる。

【0033】更に、上記半導体表面は平坦化処理され、好ましくは表面浄化処理するのがよい。尚、上記半導体表面は、半導体基板表面でもよく、半導体膜表面でもよい。

【0034】本発明の化合物膜の形成方法を用いて半導体素子を形成する半導体素子の製造方法であって、前記半導体の表面に前記化合物薄膜を形成する工程と、該化合物薄膜上に気相形成法により前記化合物膜を形成する工程と、を備えることを特徴とする。

【0035】この場合、化合物薄膜／化合物膜の膜が良好となるので、これが絶縁膜である場合には、十分な絶縁特性が得られる。また、半導体の表面と化合物薄膜の間の界面が良好であるので、素子特性の向上できる。

【0036】更に、素子の製造が短時間でできる。

【0037】更に、前記半導体素子は電解効果型半導体素子であって、チャネル上の前記半導体の表面にゲート絶縁膜としての前記化合物薄膜を形成する工程と、該化合物薄膜上に気相形成法によりゲート絶縁膜の前記化合物膜を形成する工程と、を備えることを特徴とする。

【0038】この場合、チャネル上の前記半導体の表面とゲート絶縁膜の間の界面が良好になるので、チャネル中を走行する電子の速度が向上する。従って、素子が十分な速さで動作する。

【0039】

【発明の実施の形態】本発明の第1の実施形態に係るMOS-FETを図を用いて詳細に説明する。図1は本実施形態のMOS-FETの概略模式構成図である。

【0040】図1中、1はn型SiC基板、2はn型SiC基板1上に形成されたn型SiCエピタキシャル膜、3a、3bはn型SiCエピタキシャル膜2内に互いに離間して形成されたp型不純物注入領域、4a、4bはp型不純物注入領域3a、3b内にそれぞれ形成されたn型不純物注入領域である。

【0041】5aはn型SiCエピタキシャル膜2の前記離間した部分下に形成されるドリフト部、5b、5cはp型不純物注入領域3a、3b内であってそれぞれn型不純物注入領域4a、4bと前記離間の間に形成されるチャネル部である。

【0042】6はチャネル部5b、5c上、前記ドリフト部5a上のn型SiCエピタキシャル膜2上、及びn型不純物注入領域4a、4bの一部上に形成された酸化ケイ素(SiO₂)からなる極薄酸化絶縁膜、7は極薄酸化絶縁膜6上に形成された酸化ケイ素(SiO₂)からなる堆積酸化絶縁膜である。本発明では、ゲート絶縁膜として、極薄酸化絶縁膜6とこれに比べて十分膜厚の大きい堆積酸化絶縁膜7の2層構造で構成される。

【0043】8は堆積酸化絶縁膜7上に形成された多結晶Si膜からなるゲート電極、9aはゲート電極8と離間してp型不純物注入領域3a及びn型不純物注入領域4a上に形成されるNi等の金属膜からなるソース電極、9bはゲート電極8と離間してp型不純物注入領域3b及びn型不純物注入領域4b上に形成されるNi等からなるソース電極、10はn型SiC基板1の裏面に形成されたNi等からなるドレイン電極である。

【0044】斯る素子の製造方法を図を用いて以下に説明する。

【0045】まず、図2(a)に示すように、表面清浄化処理したn型SiC基板(Ndドーピング：Nd濃度 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$)1を準備する。

【0046】前記清浄化処理として、n型SiC基板1の主面をアセトン及びエタノールで有機溶媒洗浄し、この主面を酸素雰囲気中、1150℃、80分～800分でアニール処理して表面に酸化ケイ素膜を形成した後、この酸化ケイ素膜を1～5%のHF水溶液でエッチング除去し、次に水素終端処理として、緩衝HF溶液処理、低溶存酸素純水処理、沸騰純水処理、又は水素雰囲気中で700～1200℃のアニール処理を行う。

【0047】本実施形態では、n型SiC基板1として、4H-SiC又は6H-SiCを使用し、前記主面として(0001)面又は(000-1)面から[11-20]方向へ1度から10度傾斜した面を用いた。

【0048】次に、図2(b)に示すように、n型SiC基板1の主面上にCVD法により1～50μm厚のn型SiCエピタキシャル膜(Ndドーピング：Nd濃度 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$)2を形成する。

【0049】続いて、図2(c)に示すように、n型SiCエピタキシャル層2中にp型不純物注入領域3a、3bをイオン注入法により形成する。ここで、注入不純物はAl、Ga又はB、注入温度は500～1000℃、注入量は $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-2}$ である。

【0050】次に、図2(d)に示すように、p型不純物注入領域3a、3b内にそれぞれn型不純物注入領域4a、4bをイオン注入法により形成する。ここで、注入不純物はN又はP、注入温度は500～1000℃、注入量は $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-2}$ である。

【0051】上記工程後、p型不純物注入領域3a、3b及びn型不純物注入領域4a、4bに注入された不純物をキャリアとして機能するように活性化させるために、800～1500℃、真空中又は不活性ガス雰囲気中でアニール処理する。

【0052】次に、図2(e)に示すように、p型不純物注入領域3a、3b、n型不純物注入領域4a、4b及びn型SiCエピタキシャル層2の表面を前記表面清浄化処理と同様の処理を行った後、表面に0.5～5nm厚の極薄酸化絶縁膜6を熱酸化法により形成した。

【0053】前記熱酸化法としては、1～760Torrの酸素雰囲気中で600～1200℃の熱処理を行う方法を用いた。この熱処理としては基板主面に紫外線を照射することによって行ってもよい。

【0054】また、前記雰囲気ガスとして酸素に代えてオゾン又はNO₂雰囲気を用いてもよく、この場合、雰囲気ガス圧は $1 \times 10^{-6} \sim 10 \text{ Torr}$ 、熱処理温度は300～1000℃でよい。

【0055】更に、熱酸化法として、酸素をプラズマ処理してなる原子状酸素を流量 $1 \times 10^{10} \sim 1 \times 10^{20} / \text{sec m}^2$ 、100～1000℃の条件下で照射して行ってもよい。

【0056】その後、図3(a)に示すように、前記極薄酸化絶縁膜6上にスパッタリング法、蒸着法又はCV

D法などの気相成長法により20～500nm厚の堆積酸化絶縁膜7を形成する。

【0057】次に、図3(b)に示すように、チャンネル部5b、5c上、ドリフト部5a上、及びn型不純物注入領域4a、4bの一部上を残すように極薄酸化絶縁膜6及び堆積酸化絶縁膜7をエッチング除去してp型不純物注入領域3a、3b及びn型不純物注入領域4a、4bを露出させる。

【0058】続いて、図3(c)に示すように、前記エッチングによりパターンニングした極薄酸化絶縁膜6及び堆積酸化絶縁膜7上及び前記露出したp型不純物注入領域3a、3b及びn型不純物注入領域4a、4b上に200nm～2μm厚みの多結晶Si膜18をCVD法又はスパッタリング法により形成する。

【0059】その後、図4(a)に示すように、前記堆積酸化絶縁膜7上のみ存在するように前記多結晶Si膜18をパターンニングしてゲート電極8を形成する。

【0060】次に、図4(b)に示すように、ゲート電極8、露出したp型不純物注入領域3a、3b及びn型不純物注入領域4a、4b及び露出した堆積酸化絶縁膜7上にNi等からなる金属膜19を形成すると共に、n型Si基板1の裏面上にNi等からなるドレイン電極10を形成する。

【0061】その後、図4(c)に示すように、前記堆積酸化絶縁膜7上及びその周囲の金属膜19をエッチング除去してソース電極9a、9bを形成するとともに、このソース電極9a、9b及びドレイン電極10がオーミック接触してなるようにレーザアニールを施して完成する。

【0062】本実施形態の製造方法では、薄酸化絶縁膜6(化合物薄膜)は膜厚が小さくしているので、この薄酸化絶縁膜6の形成工程において、チャンネル部5b、5c上のp型不純物注入領域3a、3b表面と薄酸化絶縁膜6の間等の界面の乱れを小さくできる。

【0063】更に、薄酸化絶縁膜6は膜厚は小さいので、SiCと前記雰囲気ガスを構成する酸素とが反応して生じる不所望なCO_xは薄酸化絶縁膜6から外部へ容易に放出されるので、p型不純物注入領域3a、3b表面と薄酸化絶縁膜6の間等の界面近傍に不所望な析出物の発生を抑制できると共に、薄酸化絶縁膜6へCO_xが混入するのを低減できる。

【0064】しかも、雰囲気ガスの酸素により表面の不飽和結合(終端のSi)は終端されるので、不飽和結合の存在が低減される。この結果、薄酸化絶縁膜6とこの下地との間の界面、薄酸化絶縁膜6と堆積酸化絶縁膜7との界面、及び薄酸化絶縁膜6上に形成される堆積酸化絶縁膜7が良好なものとなる。

【0065】そして、成長速度の遅い形成方法(熱酸化法)で形成される薄酸化絶縁膜6の膜厚は小さく、成長速度の大きい形成方法(気相成長法)で形成される堆積

酸化絶縁膜7の膜厚を大きくしているので、耐絶縁特性などの特性を得つつ良好なゲート絶縁膜の製造時間を短くできる。

【0066】従って、動作特性が良好なMOS-FETを製造時間短く得ることができる。

【0067】本発明の第2の実施形態に係るMOS-FETを図を用いて詳細に説明する。図5は本実施形態のMOS-FETの概略模式構成図である。

【0068】図5中、31はn型SiC基板、32はn型SiC基板1上に形成されたn型SiCエピタキシャル膜、33はn型SiCエピタキシャル膜32上に形成されたp型SiCエピタキシャル膜、34はp型SiCエピタキシャル膜33を貫通しn型SiCエピタキシャル膜32に達するU字型ゲート電極用溝である。

【0069】35a、35bはp型SiCエピタキシャル膜33中に形成され、U字型ゲート電極用溝34に密接して形成されたn型不純物注入領域である。

【0070】36a、36bは、電極用溝34に密接したp型SiCエピタキシャル膜33内であってn型不純物注入領域35a、35bとn型SiCエピタキシャル膜32の間に形成されるチャンネル部、37a、37bはチャンネル部36a、36bと基板31の間に形成されるドリフト部である。

【0071】38はU字型ゲート電極用溝34上及びn型不純物注入領域35a、35bの一部に跨って形成される酸化ケイ素(SiO_x)からなる極薄酸化絶縁膜、39は極薄酸化絶縁膜38上に形成された酸化ケイ素(SiO_x)からなる堆積酸化絶縁膜である。本発明ではゲート絶縁膜として、極薄酸化絶縁膜38とこれに比べて十分膜厚の大きい堆積酸化絶縁膜39の2層構造で構成される。

【0072】40は堆積酸化絶縁膜39上に形成された多結晶Si膜からなるゲート電極、41aはゲート電極40と離間してn型不純物注入領域35a上及びp型SiCエピタキシャル膜33上の一部に跨って形成されるNi等の金属膜からなるソース電極、41bはゲート電極40と離間してn型不純物注入領域35a上及びp型SiCエピタキシャル膜33上の一部に跨って形成されるNi等からなるソース電極、42はn型SiC基板31の裏面に形成されたNi等からなるドレイン電極である。

【0073】斯る素子の製造方法を図6を用いて以下に説明する。

【0074】まず、図6(a)に示すように、第1の実施形態と同様の表面清浄化処理したn型SiC基板(Ndドーブ：Nd濃度 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$)31を準備する。

【0075】次に、n型SiC基板31の主面上にCVD法により1～50μm厚のn型SiCエピタキシャル膜(Ndドーブ：Nd濃度 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$)

32を形成した後、n型SiCエピタキシャル膜32上にCVD法によりp型SiCエピタキシャル膜(Ndドーブ: Nd濃度 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$) 33を形成する。

【0076】その後、p型SiCエピタキシャル層33中にn型不純物注入領域35をイオン注入法により形成し、この注入不純物をキャリアとして機能するように活性化させるために、800～1500℃、真空又は不活性ガス雰囲気中でアニール処理する。ここで、注入不純物はN又はP、注入温度は500～1000℃、注入量

は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-2}$ である。
【0077】次に、図6(b)に示すように、CF₄及びO₂、又はCF₄及びH₂のガスを用いた反応性イオンエッチング法(RIE法)により、n型不純物注入領域35及びこの直下のp型SiCエピタキシャル膜33を貫通しn型SiCエピタキシャル膜32に達するU字型ゲート電極用溝34を形成する。

【0078】続いて、図5に示すように、U字型ゲート電極用溝34内壁、n型不純物注入領域35a、35a及びp型SiCエピタキシャル層33表面を第1の実施形態と同様の表面清浄化処理を行った後、0.5～5nm厚の極薄酸化絶縁膜38を第1実施形態と同様の熱酸化法により形成し、続いて前記極薄酸化絶縁膜38上にスパッタリング法、蒸着法又はCVD法などの気相成長法により20～500nm厚の堆積酸化絶縁膜39を形成する。その後、U字型ゲート電極用溝34上及びn型不純物注入領域35a、35bの一部上を残すように極薄酸化絶縁膜38及び堆積酸化絶縁膜39をエッチング除去してn型不純物注入領域35a、35bの一部及びp型SiCエピタキシャル膜33を露出させる。

【0079】続いて、前記エッチングによりパターンニングした極薄酸化絶縁膜38及び堆積酸化絶縁膜39上に200nm～2μm厚みのCVD法又はスパッタリング法により形成した多結晶Si膜からなるゲート電極40、露出したn型不純物注入領域35a、35b及びp型SiCエピタキシャル層33上に蒸着法等により形成されたNi等からなる金属膜41a、41bを形成すると共に、n型SiC基板31の裏面上に蒸着法等によりNi等からなるドレイン電極42を形成する。

【0080】本実施例も第1の実施形態と同様の効果が得られる。

【0081】上述の実施形態では、化合物膜(堆積酸化絶縁膜)として酸化ケイ素膜を形成したが、AlN膜な

どを用いることも可能である。

【0082】更に、上述の導電型を逆導電型とした構成でもよい。

【0083】また、上述では、ゲート絶縁膜の例を示したが、本発明はパッシベーション膜などの他の場合にも利用できる。

【0084】更に、SiC以外の半導体に化合物薄膜を形成した後、化合物膜を気相成長法で形成する場合にも適用可能である。

【0085】

【発明の効果】本発明は、半導体とその上に形成される化合物膜の間の界面を良好な状態としつつ、良好な化合物膜を短時間で形成する化合物膜の形成方法を提供できる。またこの方法を用いた素子特性の優れた製造時間が短い半導体素子の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体素子の概略模式構成図である。

【図2】上記第1実施形態に係る半導体素子の製造方法を示す図である。

【図3】上記第1実施形態に係る半導体素子の製造方法を示す図である。

【図4】上記第1実施形態に係る半導体素子の製造方法を示す図である。

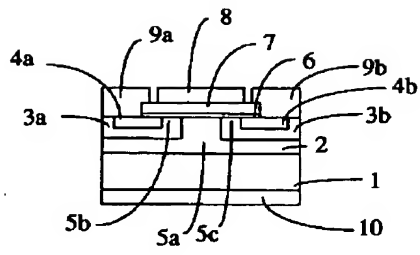
【図5】本発明の第2実施形態に係る半導体素子の概略模式構成図である。

【図6】上記第2実施形態に係る半導体素子の製造方法を示す図である。

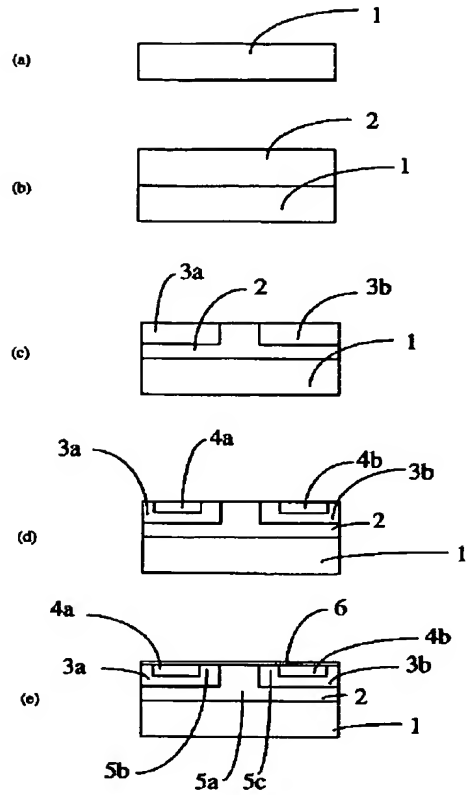
【符号の説明】

1	n型SiC基板
2	n型SiCエピタキシャル層
3a、3b	p型不純物注入領域
4a、4b	n型不純物注入領域
5b、5c	チャンネル部
6	極薄酸化絶縁膜(化合物薄膜)
7	堆積絶縁膜(化合物膜)
31	n型SiC基板
32	n型SiCエピタキシャル層
33	p型SiCエピタキシャル層
35a、35b	n型不純物注入領域
36b、36c	チャンネル部
39	極薄酸化絶縁膜(化合物薄膜)
40	堆積絶縁膜(化合物膜)

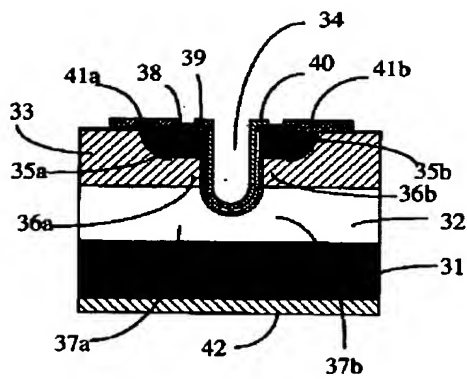
【図1】



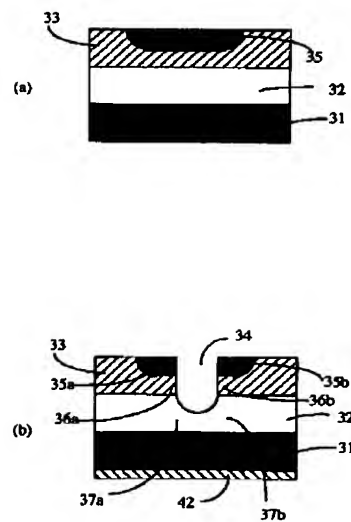
【図2】



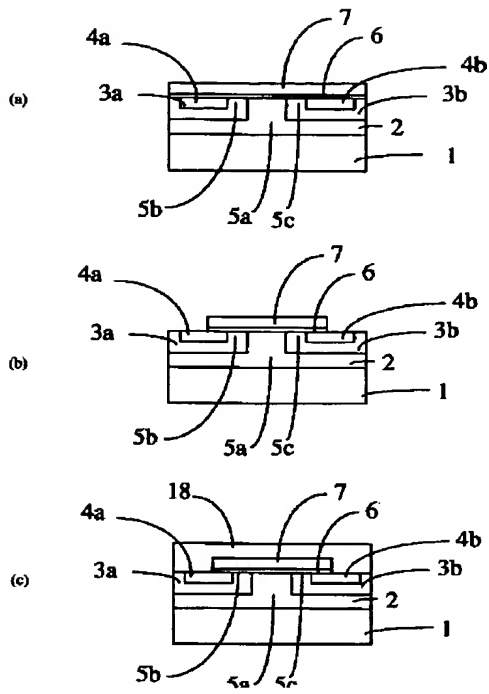
【図5】



【図6】



【図3】



【図4】

